

ゲート絶縁膜に CYTOP を用いた トップゲート構造酸化インジウム TFT の低温作製と特性評価

Low-temperature fabrication of indium oxide thin-film transistors with top-gate structure using CYTOP and their electrical properties

熊本 勇紀 (電気電子工学科)

Yuki Kumamoto

高機能デバイス研究室 指導教員 相川慎也 准教授

1. 緒言

近年、次世代情報通信デバイスに不可欠な酸化物薄膜トランジスタ (TFT) の研究が盛んに行われている。酸化物半導体は、従来のアモルファス Si と異なり、プラスチックのガラス転移温度と同程度の低温で成膜が可能であり、将来のフレキシブル化に適した半導体材料だからである¹⁾。

現在主に用いられている酸化物 TFT の構造は逆スタガ型 (ボトムゲート型) である。この構造は作製プロセス上、半導体層に対する影響が少ないことから、高移動度かつ高性能な TFT の製作が比較的容易である²⁾。しかし、半導体層が表面に露出していることによりガス吸着等の影響を受けやすいため、パッシベーション膜の成膜が必要となる。更には、ゲート電極にテーパーをつける必要があるため、微細化に限界があるとともに、寄生容量の影響が避けられない。

一方で、コブレナ型 (トップゲート型) は作製プロセス上、絶縁体が半導体層の表面を覆う構造のため、ガス吸着の影響を受けない。また、テーパーを付ける必要がないため、ゲート電極幅の狭小化が可能になるとともに、ソース/ゲート電極とのオーバーラップによる寄生容量の低減が可能となるため、将来的に逆スタガ型より低コストでの微細化が可能である²⁾。

本研究では、絶縁膜層に低温かつ塗布形成可能な CYTOP、半導体層に室温成膜可能なアモルファス酸化インジウム ($a\text{-In}_2\text{O}_3$) をそれぞれ用いたコブレナ型の TFT を 180°C 以下の低温プロセスで作製し、その電気特性を評価することを目的とする。

2. 実験方法

Si 基板上にコブレナ型 TFT を形成するため、まず、半導体層として RF マグネトロンスパッタ装置を用いて $a\text{-In}_2\text{O}_3$ (20nm) を成膜し、ソース/ドレイン電極として真空蒸着装置を用いて Cu (50nm) を成膜した。次に、CYTOP をスピコート法にて成膜した。CYTOP の膜厚によるゲートリーク電流への影響を調べるため、300nm と 500nm の TFT を作製した。スピコーティング後、ホットプレートによりプリバイク (180°C 30 分) をし、最後に、ゲート電極として Cu を真空蒸着によって成膜した。

作製した TFT を $I_D\text{-}V_G$ 測定により特性評価した。

3. 結果及び考察

Fig1(a)に CYTOP を 300nm 成膜した TFT の $I_D\text{-}V_G$ 特性を示す。ドレイン電流とゲート電流が同じ値を取っていることから、模式図に示すようにゲート電極とソース/ドレイン電極間で大きなリーク電流が生じていることがわかる。薄く塗布する際の低い濃度の CYTOP では、スピコーターによる処理時に半導体層とソース/ドレイン電極の凹凸の影響を受けやすく、膜厚が不均一となっているためと考えられる。

Fig1(b)に CYTOP を二度塗りし 500nm 成膜した TFT の $I_D\text{-}V_G$ 特性を示す。ゲート電圧が高くなるにつれてドレイン電流とゲート電流が分離するとともに、ドレイン電流がゲート電圧依存を示していることから、膜厚を厚くしたことによりリークを防げていることがわかる。厚く塗布する際の高い濃度の CYTOP ではピンホールが発生しやすいと考えられるが、今回は粘度の薄い溶液を二度塗りしたことにより回避できた可能性が高い。

4. まとめ

ゲート絶縁膜に CYTOP を用いたトップゲート構造の TFT を作製した。今後の展望としては、酸化インジウムをアモルファス状態で高いスイッチング特性を示せるような、よりリーク電流を減少させた安定した CYTOP の成膜を目指す。

5. 参考文献

- 1) Hosono, Hideo. "How we made the IGZO transistor." *Nature Electronics* 1.7 (2018): 428-428.
- 2) a-Si TFT の液晶ディスプレイへの応用, 堀田定吉, 応用物理 59(10), p1294-1305, 1990-10 応用物理学会

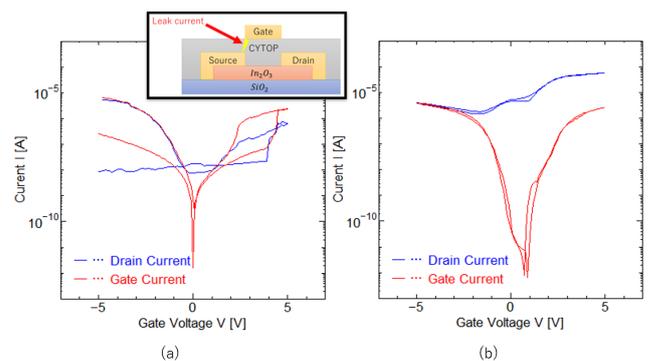


Fig1 I-V characteristics of a TFT with a thickness of 300nm & 500nm in CYTOP