

トップゲート型酸化物薄膜トランジスタにおけるゲート電極幅設計の検討

Investigation of gate electrode widths on electrical properties in top-gated oxide thin-film transistors

曹 晨亭(電気電子工学科)

Cao Chenting

高機能デバイス研究室 指導教員 相川 慎也 准教授

1. 緒言

フラットパネルディスプレイの薄膜トランジスタ(TFT)として、酸化物半導体を利用したものが多くの製品で搭載されるようになってきた。TFTは一般に、Fig.1のような断面構造を持ち、ボトムゲート型、または逆スタガ型と呼ばれている。しかしながら、特性向上のための短チャネル化が難しいという構造上の問題点がある[1]。そこで、ゲート電極を半導体薄膜の上側に堆積したトップゲート型 TFT の作製が不可欠となっている。現在、トップゲート型 TFT に適した材料開発[2]や、トップゲート型 TFT のトップゲート電極とドレインやソース電極間距離であるオフセット長に対する構造依存性調査が行われているが[3]、TFT においてトレードオフの関係のあるアクセスレジスタンスの低減と寄生容量の抑制双方を同時にミニマ化する TFT 構造の最適化は十分に考慮されていない。そのため、特に短チャネル化に直結するゲート電極幅と TFT 特性との依存性調査を実験的に明らかにする必要があると考える。

そこで、本研究ではチャネル長より狭いゲート(narrow gate)、およびチャネル長より広いゲート(wide gate)の 2 種類の TFT を製作することで、まずはトップゲート型 TFT のゲート電極サイズがその特性に与える影響について調査することを目的とする。

2. 実験方法

熱酸化 SiO₂ (200 nm)付き Si 基板とガラス基板を有機洗浄した後、RF マグネトロンスパッタ装置にて Sn ターゲットを用いて SnO を 50 nm 成膜した。成膜は Ar/O₂ 混合雰囲気下で行い、スパッタ条件は RF 電力 100 W、全圧 0.2 Pa、酸素分圧 0.016 Pa とした。成膜後、大気中 250 °C、45 分間ポストアニール処理と、窒素中 210 °C、60 分間ポストアニール処理を施して比較を行った。製作した SnO 薄膜は、X 線回折装置(XRD, Rigaku Smart Lab)を用いて、結晶性を評価した。

成膜した SnO が p 型挙動を示すか調べるため、トップゲート TFT の作製に先立ち、次の手順で Fig.2 に示すボトムゲート型 TFT を製作した。電極として電子ビーム蒸着装置にて Ni を 80 nm 成膜した後、大気中でマニュアルブローパーを用いて V_{DS} = 40 V、V_{GS} = ±80V でスイープさせて伝達特性を測定した。トップゲート型 TFT では、SnO 堆積後に、SiO₂ を電子ビーム蒸着装置で 130nm 成膜して絶縁膜とし、電極幅の異なるマスクを用いてトップゲート電極として Ti (40nm)を成膜した。

3. 実験結果および考察

Fig.3 に製作した異なるポストアニール処理を施した SnO_x 膜の XRD パターンを示す。大気中アニールでは SnO と Sn の両方、窒素中では SnO の存在が大部分であることを確認した。この結果は、窒素中アニールでは成膜直後の SnO_x 薄膜中に含まれる弱結合酸素の結合を促進させていることに対し、大気中アニールでは

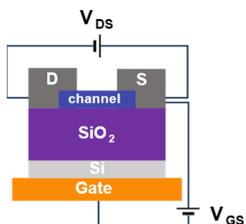


Fig.1 ボトムゲート型 TFT 構造の断面概略図

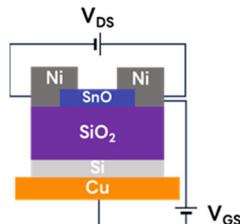


Fig.2 本実験で製作したボトムゲート型 TFT の断面概略図

膜内部での酸化よりも表面の酸化が顕著となった結果、SnO が形成されたと考えられる。本実験では、SnO による p 型 TFT のゲート構造依存性を調査するため、不純物である Sn は抑制したい。この点においては、窒素中アニールの方がより優れた方法であると言える。

Fig.4 に、同じ構造の異なるアニール処理を施した TFT の 2 つの伝達特性を示す。今回製作した TFT はアニール方法に関わらず p 型挙動を示したことがわかった。TFT のドレイン

電流 ON/OFF 比は、大気中アニールでは 10 であったのに対し、窒素中アニールは 70 程度が得られた。しかしながら、同様のスパッタリングにて作製された SnO TFT の ON/OFF 比 (~10²) と比べ小さい[5]。適切な構造により、性能向上が見込めると考える。ボトムゲート構造で p 型挙動が確認できたため、トップゲート構造を試作したが、現状、リーク電流が大きく TFT として動作していない。これは絶縁膜の品質や薄さによるものと考えている。そのため、膜厚についての最適化も同時に行うべきである。

4. 結論

本研究では、TFT のトップゲート構造最適化を最終的な目標とするため、第一歩として、ボトムゲート構造にて p 型挙動の SnO TFT の試作とアニール条件の探索を行った。現時点では特性の改善が必要であることが分かった。今後、さらなる SnO 薄膜の条件最適化とともに、トップゲート構造の依存性評価を進め、高性能化につながるゲート構造設計指針を明らかにしていく。

5. 参考文献

- [1] E. Fortunato *et al.*, Adv. Mater., 24, 2945–2986 (2012).
- [2] S.-M. Kwak *et al.*, Org. Electron., 71, 7–13 (2019).
- [3] Ung Gi Lee *et al.*, IEEE Electron Device Lett., 33, 6, (2012)
- [4] M. Mohammad *et al.*, IEEE Electron Device Lett., 37, 11, (2016).
- [5] H. Luo *et al.*, ACS Appl., Mater. Interfaces 4, 5673–5677(2012).
- [5] H. Yabuta *et al.*, Appl. Phys. Lett., 97, 072111 (2010).

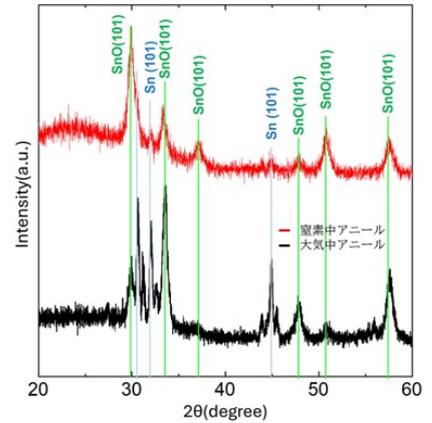


Fig.3 異なるアニール条件で処理した SnO_x 膜の XRD パターン

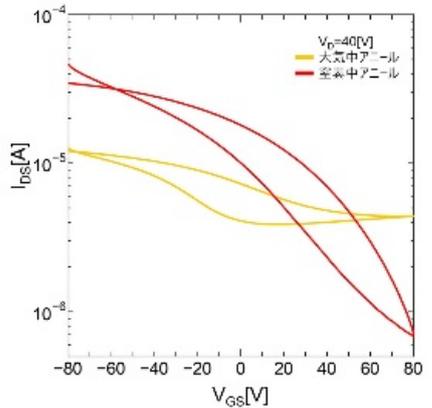


Fig.4 ボトムゲート SnO TFT の伝達特性